

**This Page Is Inserted by IFW Operations  
and is not a part of the Official Record**

## **BEST AVAILABLE IMAGES**

**Defective images within this document are accurate representations of the original documents submitted by the applicant.**

**Defects in the images may include (but are not limited to):**

- **BLACK BORDERS**
- **TEXT CUT OFF AT TOP, BOTTOM OR SIDES**
- **FADED TEXT**
- **ILLEGIBLE TEXT**
- **SKEWED/SLANTED IMAGES**
- **COLORLED PHOTOS**
- **BLACK OR VERY BLACK AND WHITE DARK PHOTOS**
- **GRAY SCALE DOCUMENTS**

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problems Mailbox.**

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

## ⑫ 公開特許公報(A) 平1-235272

⑤ Int. Cl. 4

識別記号

庁内整理番号

⑬ 公開 平成1年(1989)9月20日

H 01 L 29/74  
21/322M-7376-5F  
L-7738-5F

審査請求 未請求 請求項の数 1 (全6頁)

⑭ 発明の名称 半導体装置

⑯ 特 願 昭63-62350

⑰ 出 願 昭63(1988)3月15日

⑱ 発 明 者 富 井 和 志 大阪府門真市大字門真1048番地 松下電工株式会社内

⑲ 出 願 人 松下電工株式会社 大阪府門真市大字門真1048番地

⑳ 代 理 人 弁理士 松本 武彦

## 明 細 書

## 1. 発明の名称

半導体装置

## 2. 特許請求の範囲

1 半導体基板の一侧にカソード領域を備えるとともに、他側にアノード領域を備え、かつ、これらカソード領域とアノード領域の間に電流通路となる高比抵抗領域を備えているとともに、前記アノード領域には高比抵抗領域とアノード電極を短絡する逆導電型領域が局部的に形成されている半導体装置において、前記アノード領域と高比抵抗領域の接合部近傍には格子欠陥領域が前記短絡領域のある箇所を避けて局部的に形成されていることを特徴とする半導体装置。

## 3. 発明の詳細な説明

(産業上の利用分野)

この発明は半導体装置に関する。

(従来の技術)

半導体装置のひとつとして、静電誘導サイリスタがある。このサイリスタは、半導体基板の裏面

にカソード領域を備えるとともに、裏面にアノード領域を備え、かつ、これらカソード領域とアノード領域の間に電流通路となる高比抵抗領域を備えていて、高比抵抗領域を流れる電流がゲート電極の電圧コントロールによりオン・オフされるようになっている。従来の静電誘導サイリスタの基本構成を第6図に示す。

静電誘導サイリスタ31は、アノード領域32とカソード領域33を備え、両領域32、33の間に高比抵抗領域34を備えている。カソード領域33と同じ側にはゲート領域35を備え、同領域35の働きにより電流がオン・オフされる。アノード領域32にはアノード電極32'が、カソード領域33にはカソード電極33'が、そしてゲート領域35にはゲート電極35'がそれぞれ設けられている。

このサイリスタ31は、電流密度が高く、かつ、順方向電圧降下(オン抵抗)が小さく、しかも、ターンオン時間が短いという特徴を有する。しかしながら、遮断時はアノード側から高比抵

抗領域への少数キャリア（正孔）の注入を瞬時に断てないため、ターンオフ時間が、例えば MOSFET等に較べて長いという問題がある。

そこで、ターンオフ時間を縮めるために、第4図にみるように、アノード領域32に高比抵抗領域34とアノード電極32'を短絡する逆導電型領域36が局部的に形成されているサイリスタ31'が提案されている。この逆導電型領域36は、アノード領域32の前面に残留する電子を瞬時に高比抵抗領域34から引き出し、アノード領域からの正孔注入が継続するのを阻止する。

第5図のように、アノード領域32近傍における高比抵抗領域34内の所定厚み分全域にわたり格子欠陥領域37が形成されているサイリスタ31'も提案されている。格子欠陥領域37が設けられていると、遮断動作の際、接合部近傍に残留している正孔や電子の寿命が縮まるため、ターンオフ時間が短くなる。

（発明が解決しようとする課題）

しかしながら、上記の改良を施したサイリスタ

でも、ターンオフ時間は、他の特性を実用的な範囲に維持することを考えると、せいぜい1~2 $\mu$ s程度である。

短絡用の逆導電型領域を広くすれば、ターンオフ時間はもっと短くなるが、アノード領域が狭くなりすぎて正孔が十分に注入されず順方向電圧降下が著しく増大してしまう。短絡用の逆導電型領域を広げる策は現実的とはいえない。

格子欠陥領域の欠陥密度や領域厚みを増やしても、ターンオフ時間を短くできる。しかし、格子欠陥領域は所定厚み全域にわたって形成されており、欠陥密度や領域厚みの増加に伴う抵抗上昇分がそのまま電流通路の抵抗増大となってあらわれるため、順方向電圧降下が著しく増えることになる。格子欠陥領域の密度や領域厚みを増すという策も、やはり、現実的とはいえないのである。

この発明は、上記事情に鑑み、順方向電圧降下の増加を抑制しつつ、ターンオフ時間の短縮が図れる構成を有する半導体装置を提供することを課題とする。

（課題を解決するための手段）

前記課題を解決するため、この発明にかかる半導体装置では、アノード領域には高比抵抗領域とアノード電極を短絡する逆導電型領域が局部的に形成されているとともに、前記アノード領域と高比抵抗領域の接合部近傍には格子欠陥領域が前記短絡領域のある個所を避けて局部的に形成されている。

（作 用）

上記半導体装置では、アノード領域と高比抵抗領域の接合部近傍には、短絡用の逆導電型領域か格子欠陥領域のどちらか一方の領域が形成されている。そのため、遮断動作の際、逆導電型領域のあるところでは、高比抵抗領域内の電子が吸い出され、格子欠陥領域のあるところでは、電子や正孔の寿命が縮められる。つまり、接合部近傍全域に渡ってターンオフ時間を長引かせる原因であったキャリアは、両領域の働きにより短時間のうちに消滅してしまうことになるのである。

一方、逆導電型領域を拡大させる必要がないか

ら、アノード領域の縮小は伴わない。そのため、導通動作の際の正孔の注入量は減らない。

格子欠陥領域は、逆導電型領域のある個所には形成されておらず、格子欠陥領域は所定厚み領域全面には渡るのではなく部分的に非格子欠陥領域があるという、いってみれば穴空き状態である。所定厚みの層が、平面でみて、抵抗が極めて高く上昇してしまった格子欠陥領域と、抵抗上昇のない非格子欠陥領域が混在する状態となっているのである。この場合、層全体でみた厚み方向でみた抵抗値（順方向電圧降下分を決める抵抗値）は、事実上、抵抗上昇のない非格子欠陥領域に支配されるので、その抵抗上昇率が非常に低い。つまり、部分的に格子欠陥領域を形成する場合は、従来のように全域に格子欠陥領域を形成する場合に較べると、順方向電圧降下の上昇を引き起こす電流通路の抵抗上昇は極めて少ないのである。

（実施例）

以下、この発明にかかる半導体装置を、その一実施例をあらわす図面を参照しながら詳しく説明

する。

第1図は、この発明にかかる半導体装置の一例である静電誘導サイリスタをあらわす。

静電誘導サイリスタ1は、半導体基板2の表面(一側)にカソード領域(N<sup>+</sup>層)3とゲート領域(P<sup>+</sup>層)4を、裏面(他側)にアノード領域(P<sup>+</sup>層)5を備え、カソード領域3とアノード領域5の間に電流通路となる不純物低濃度領域である高比抵抗領域(N<sup>-</sup>層)6を備えている。静電誘導サイリスタ1のアノード領域5には高比抵抗領域6とアノード電極5'を短絡する逆導電型領域(N<sup>+</sup>層)7が局部的に形成されている(この逆導電型領域7は裏面側からみると格子状となるようにして形成されている)。一方、アノード領域5と高比抵抗領域6の接合部近傍には格子欠陥領域8が逆導電型領域7のある個所を避けて局部的に形成されている。逆導電型領域7と格子欠陥領域8の両領域の作用により、順方向電圧降下を抑制しつつ、ターンオフ時間を短縮させられることは上述のとおりである。

4、アノード領域5、および、電極3'、4'を形成しておいて、第2図(a)にみるように、半導体基板1の裏面表面の格子状域から選択的に不純物を拡散させて逆導電型領域7を形成する。

ついで、半導体基板2の裏面にアルミニウム層を蒸着してから、フォトリソ法により逆導電型領域7表面以外のところのアルミニウム層を除去し、第2図(b)にみるように、格子状のアルミマスク10を形成する。

アルミマスク10を形成した後、適当な加速エネルギーの陽子線を、半導体基板2の裏面側から照射し、第2図(c)にみるように、アノード領域5と高比抵抗領域6の接合部近傍に格子欠陥領域8を形成する。アルミマスク10のある個所では、陽子線のエネルギーが減衰してしまうので、逆導電型領域7のある個所では、格子欠陥領域が形成されない。陽子線のドーズ量は、必要なターンオフ時間等を勘案して決められる。アルミマスク10の厚みは、格子欠陥領域が形成される深さに応じて適当に選択される。例えば、シリコン半導体

静電誘導サイリスタ1の具体的な性能の一例を示すと、アノード・カソード間電流が3A、順方向電圧降下が2~3V、ターンオフ時間が0.1~0.2μsである。

逆導電型領域だけが形成されているサイリスタでは、ターンオフ時間が上記数値程度まで短縮したとすると、順方向電圧降下が上記数値の倍以上になり、順方向電圧降下が上記数値程度なら、ターンオフ時間は、上記数値の2~3倍程度になってしまう。

格子欠陥領域だけが形成されているサイリスタでは、ターンオフ時間が0.1~0.2μsという低い値の達成は困難であり、たとえできたとしても、順方向電圧降下は上記数値の3倍を超えてしまう。

続いて、静電誘導サイリスタ1の逆導電型領域7と格子欠陥領域8の作成の様子を説明する。

第2図(a)~(d)は、静電誘導サイリスタ1製造の要部工程を順を追ってあらわす。

半導体基板2に、カソード領域3、ゲート領域

基板の裏面から5μmの深さのところに格子欠陥領域を形成する場合には、例えば、5μmの厚みのアルミマスクが使われる。

格子欠陥領域8を形成してから、アルミマスク10を除去し、第2図(d)にみるように、アノード電極5'を半導体基板2裏面全面に形成して、サイリスタを完成させる。

この発明は上記実施例に限らない。表面ゲート型サイリスタでなく、埋め込みゲート型サイリスタであってもよい。さらに、半導体装置の種類は、サイリスタ以外であってもよい。バイポーラ型静電誘導トランジスタや、第3図にみるようなバイポーラ型絶縁ゲート二重拡散電界効果トランジスタ1'であってもよい。同第3図において、21はゲート電極、22は絶縁層であり、ゲート電極21の下にP層23表面にチャンネルが形成される。なお、トランジスタの場合、カソードはソースと、アノードはドレインと通称される。

上記の格子欠陥領域は、陽子線照射により形成していたが、電子照射等の他の粒子線照射により

形成してもよい。また、粒子線照射の際に逆導電型領域を覆うマスクは、アルミニウム層からなるマスクであったが、アルミニウム以外の金属の層からなるマスクであってもよい。

また、格子欠陥領域は、高比抵抗領域側に形成されていたが、格子欠陥領域は、アノード領域側に形成されていてもよいし、高比抵抗領域領域とアノード領域の両領域にまたがって形成されていてもよい。要は、アノード領域と高比抵抗領域の接合部近傍であればよい。

#### (発明の効果)

以上述べたように、この発明にかかる半導体装置は、導通動作の際の電流通路の抵抗増加や正孔の注入量の減少を押さえつつ、遮断動作の際にキャリアを短時間のうちに消滅させられる。そのため、順方向電圧降下が抑制された状態でターンオフ時間が短くなる。

#### 4. 図面の簡単な説明

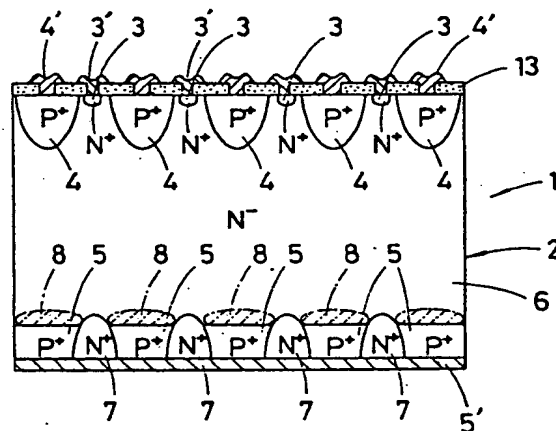
第1図は、この発明にかかる半導体装置の一例である静電誘導サイリスタをあらわす断面図、第

2図(a)～(d)は、この静電誘導サイリスタ製造の要部工程を順を追ってあらわす断面図、第3図は、この発明にかかる半導体装置の他の例のトランジスタをあらわす断面図、第4～6図は、それぞれ、従来の静電誘導サイリスタをあらわす断面図である。

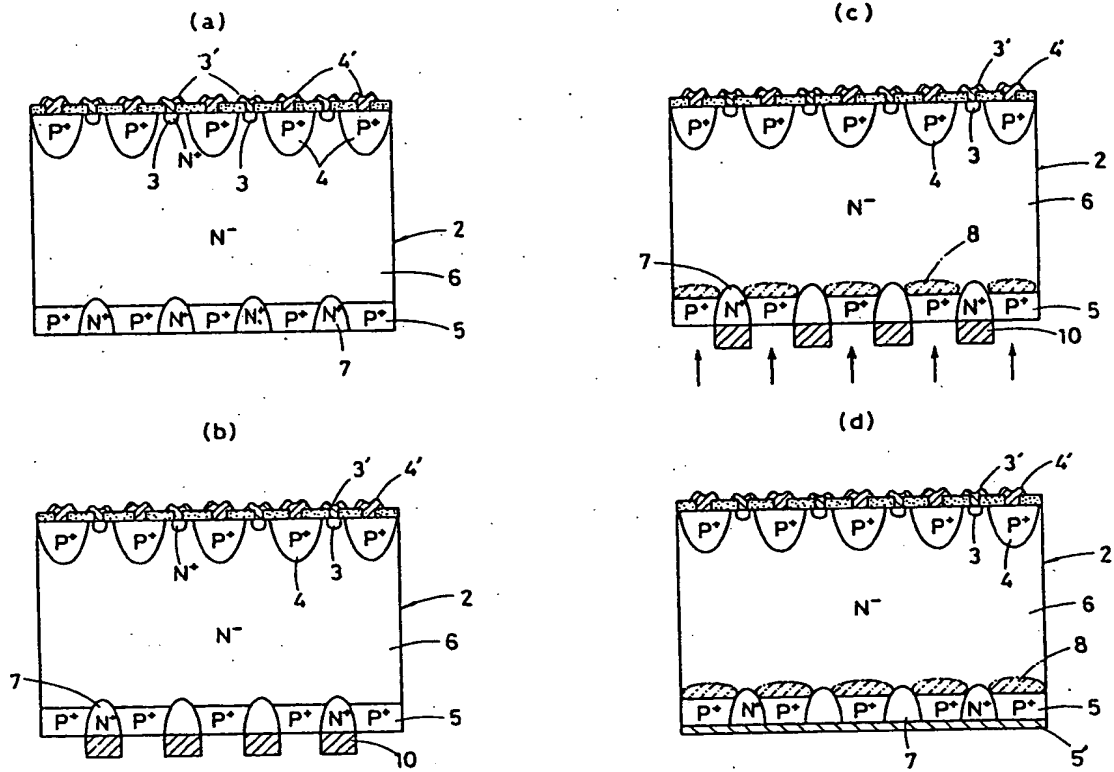
1、1'…半導体装置      2…半導体基板  
3…カソード領域      4…ゲート領域      5…アノード領域  
6…高比抵抗領域      7…逆導電型領域      8…格子欠陥領域

代理人 弁理士 松 本 武 彦

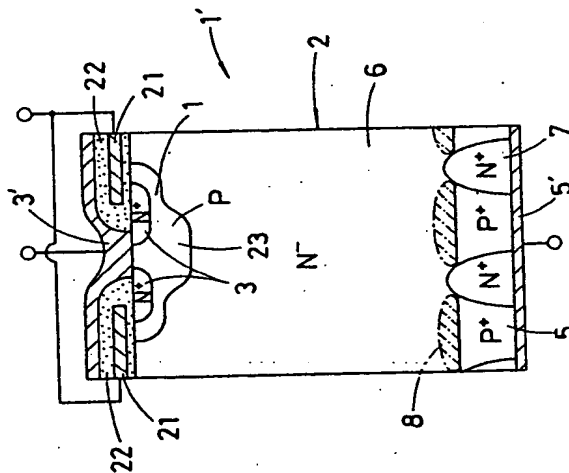
第1図



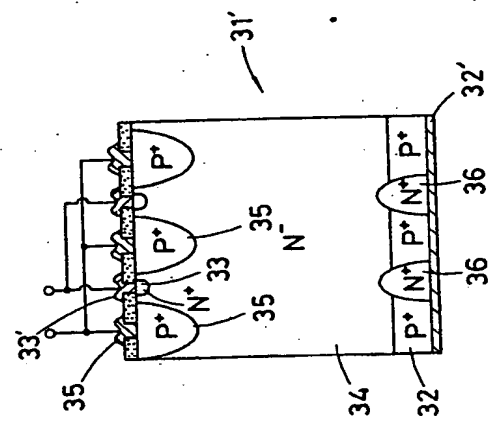
第 2 圖



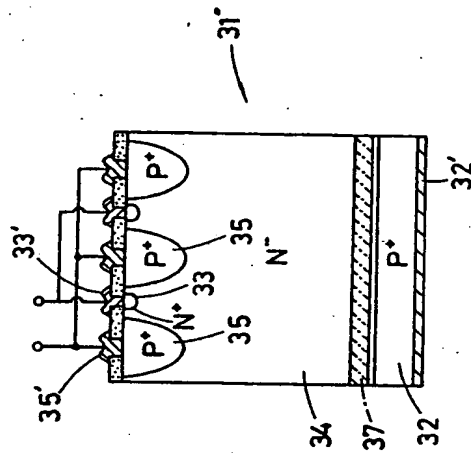
第 3 圖



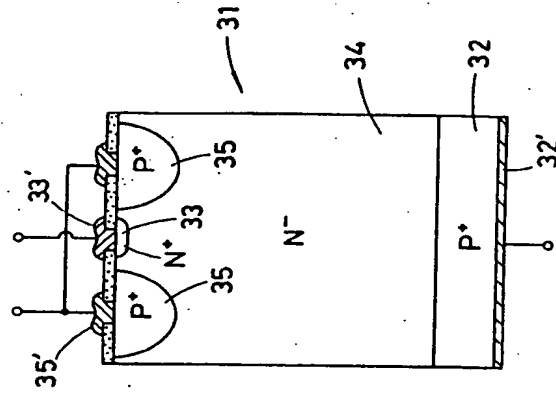
第 4 圖



第5図



第6図



手続補正書 (自発)

昭和63年5月7日

特許庁長官 殿

1. 事件の表示

昭和63年特許第062350号

2. 発明の名称

半導体装置

3. 補正をする者

事件との関係

特許出願人

住 所

大阪府門真市大字門真1048番地

名 称

(583) 松下電工株式会社

代 表 者

代表取締役 三 好 俊 夫

4. 代 理 人

住 所

〒530 大阪市北区天神橋2丁目4番17号

千代田第一ビル8階  
電 話 (06) 352-6846

氏 名

(7346) 弁理士 松 本 武 彦

5. 補正により増加する項数

な し

6. 補正の対象

方 式

別紙のとおり

審 査



7. 補正の内容

別紙のとおり

6. 補正の対象

明細書

7. 補正の内容

① 明細書第6頁第12行に「非子欠陥領域」とあるを、「非格子欠陥領域」と訂正する。